

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11-238397

(43)Date of publication of application: 31.08.1999

(51)Int.Cl.

G11C 29/00
G01R 31/26

(21)Application number: 10-334785

(71)Applicant: SAMSUNG ELECTRONICS CO LTD

(22)Date of filing: 25.11.1998

(72)Inventor: LIM SHOKYO
KANG SANG-BOM
LEE SHINSHAKU
RYU HEINICHI

(30)Priority

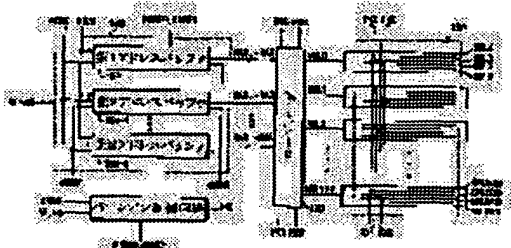
Priority number: 97 9762868 Priority date: 25.11.1997 Priority country: KR

(54) BURN-IN CONTROL CIRCUIT FOR SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory having a burn-in control circuit improved in reliability.

SOLUTION: This burn-in control circuit 140 receives a signal ϕ WBE informing burn-in test operation and external address signals (A2 and A3) and generates a control signal ϕ NWEn. The signal ϕ WBE is an active high signal which is non-activated during normal operation and activated during burn-in operation. Then, the signal ϕ NWEn is a signal for addressing selectively even numbered lines or odd numbered lines out of main word lines MWLi. Thus, a main word line can be activated selectively by controlling a row address signal to address internally a main word line at the time of burn-in test operation. Therefore, sufficient stress can be applied to a main word line during burn-in test operation, consequently, reliability of a semiconductor memory can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238397

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁶

G 1 1 C 29/00

G 0 1 R 31/26

識別記号

6 7 1

F I

G 1 1 C 29/00

G 0 1 R 31/26

6 7 1 F

H

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21) 出願番号 特願平10-334785

(22) 出願日 平成10年(1998)11月25日

(31) 優先権主張番号 1 9 9 7 6 2 8 6 8

(32) 優先日 1997年11月25日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 林 鐘亨

大韓民国京畿道水原市勸善区勸善洞1067-1

(72) 発明者 姜 尚錫

大韓民国京畿道水原市長安区松竹洞461

(72) 発明者 李 進錫

大韓民国京畿道水原市勸善区金谷洞 (番地なし) 新美住エーピーティ1-1208

(74) 代理人 弁理士 志賀 正武 (外1名)

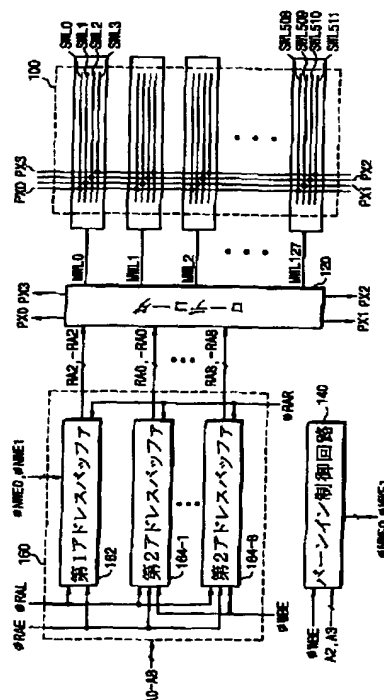
最終頁に続く

(54) 【発明の名称】 半導体メモリ装置のバーンイン制御回路

(57) 【要約】

【課題】 信頼性を向上させたバーンイン制御回路を持つ半導体メモリ装置を提供すること。

【解決手段】 本発明の、バーンイン制御回路140はバーンインテスト動作を知らせる信号ΦWBEと2ビットの外部アドレス信号(A2及びA3)を受け入れて制御信号ΦNWEnを発生する。信号ΦWBEは正常な動作の間に非活性化され、そして、バーンイン動作の間に活性化されるアクティブハイ信号である。ここで、信号ΦNWEnはメインワードラインMWLi中、偶数番目/奇数番目ラインが選択的にアドレッシングするための信号である。



【特許請求の範囲】

【請求項 1】 ローとカラムのマトリックスで配列されたメモリセルを具備したセルアレイと、
前記ローに各々対応する複数の第 1 ワードラインと、
ロー方向に伸張する複数の第 2 ワードラインと、
前記第 2 ワードラインと前記第 1 ワードラインの比は $1:n$ (ここで、 n は少なくとも 1 より大きい定数) であり、
正常動作の間に前記第 2 ワードライン中、外部アドレス信号に対応する一つのワードラインを選び、そして、選ばれたワードラインに対応する第 1 ワードライン中、一つのワードラインを選択するためのデコーダと、
バーンイン動作の間に前記外部アドレス信号中、少なくとも 2 ビットのアドレス信号を受け入れ、第 1 及び第 2 制御信号を発生する手段及び、
前記バーンイン動作の間に前記第 1 及び第 2 制御信号に応じて前記第 2 ワードラインが選択的にアドレッシングされるように決定する前記外部アドレス信号中、一つの対応する一対の第 1 ローアドレス信号を発生し、そして、バーンイン動作を知らせる信号に応じて余りの外部アドレス信号に対応し、各々対からなる第 2 ローアドレス信号を発生する手段を含み、
前記バーンイン動作の間に前記デコーダは前記活性化された第 2 ローアドレス信号を受け入れ、そして、一対の前記第 1 ローアドレス信号に応じて隣接した第 2 ワードラインの間に電位差が発生するように前記第 2 ワードラインを選択的に活性化させる半導体メモリ装置。

【請求項 2】 前記各メモリセルは一つの貯蔵キャパシターと一つのスイッチトランジスターを含む請求項 1 に記載の半導体メモリ装置。

【請求項 3】 前記第 1 及び第 2 ローアドレス信号を発生する手段は、正常動作の間に前記第 1 ローアドレス信号に対応する外部アドレス信号を受け入れるための第 1 アドレスバッファ及び、前記各第 2 ローアドレス信号に対応する外部アドレス信号を各々受け入れるための第 2 アドレスバッファを含む請求項 1 に記載の半導体メモリ装置。

【請求項 4】 前記第 1 アドレスバッファは、前記バーンイン動作の間に、前記第 1 及び第 2 制御信号に応じて一対の前記第 1 ローアドレス信号を発生して前記デコーダに提供する請求項 3 に記載の半導体メモリ装置。

【請求項 5】 前記第 2 アドレスバッファは、前記バーンイン動作の間に、前記バーンイン動作を知らせる信号に応じて前記第 2 ローアドレス信号を活性化させる請求項 1 に記載の半導体メモリ装置。

【請求項 6】 ローとカラムのマトリックスで配列され、各々が一つの貯蔵キャパシターと一つのスイッチトランジスターを具備したメモリセルのアレイと、
ロー方向に伸張する複数のメインワードラインと、
前記ローに各々対応する複数のサブワードラインと、

前記メインワードラインと前記サブワードラインの比は $1:n$ (ここで、 n は少なくとも 1 より大きな定数) であり、
バーンイン動作を知らせる信号及び前記メインワードラインをアドレッシングするための外部アドレス信号中、少なくとも 2 ビットの外部アドレス信号に応じて第 1 及び第 2 制御信号を発生する手段と、
前記外部アドレス信号を各々受け入れるためのアドレスバッファと、
前記バーンイン動作の間に前記アドレスバッファ中、一つは前記第 1 及び第 2 制御信号に応じて前記メインワードラインが選択的にアドレッシングされるように決定する一対の第 1 ローアドレス信号を発生し、そして、余りのアドレスバッファは前記バーンイン動作を知らせる信号に応じて、各々対からなる第 2 ローアドレス信号を各々活性化させ、
前記バーンイン動作の間に前記活性化された第 2 ローアドレス信号を受け入れ、そして、一対の前記第 1 ローアドレス信号に応じて前記第 2 ワードライン中、隣接したラインの間に電位差が発生するように前記第 2 ワードラインを選択的に活性化させるデコーダを含む半導体装置。

【請求項 7】 前記デコーダは前記第 2 ローアドレス信号中、少なくとも 2 ビットの信号に応じて前記選択された第 2 ワードラインに対応するサブワードラインを全て或いは隣接したサブワードラインの間に電位差が発生するように選択的に活性化させる請求項 6 に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ装置に関するものであり、より詳しくは信頼性を向上させることのできるバーンイン制御回路 (burn-in control circuit) を持つ半導体メモリ装置に関するものである。

【0002】

【従来の技術】 ダイナミックラム (dynamic RAM: DRAM) あるいはスタティックラム (static RAM: SRAM) と同じ半導体メモリ装置で、チップパッケージ工程以前、あるいは以後にバーンイン動作 (又は、ストレス動作) が一般的に遂行される。そのようなバーンインテストは同一なチップに貯蔵されたメモリセルの結合 (要すると、ブリッジ性工程欠陥) あるいは耐久力 (strength) を検査するために要求され、外部電源電圧 (exterior supply voltage) あるいは電源電圧より高い電圧が各メモリセルに供給されるにより、メモリセルがよい状態 (good state) であるか或いは悪い状態 (bad state) であるかを検査することができる。バーンインテストは実際に半導体産業で遂行され

てきて、そして、より効果的なバーンインテストを遂行するための努力が行われてきた。

【0003】半導体メモリ装置が高集積化されるにより、そのレイアウトも高集積化に適合な構造で変化されてきた。その中の一つが階層的なワードライン構造(hierarchical wordline structure、或いは分割ワードライン構造)である。要すると、16M DRAMで複数のメモリ領域中、一つのメモリ領域に割り当てた512のワードラインを選び、駆動する場合、ワードライン用導電線が長くなることにより誘発される問題点が多い。これを解決するための、前で言及した階層的なワードライン構造或いは分割ワードライン構造によると、512のワードライン(以後、サブワードラインと称する)中、 n 個(要すると、四つ)当り一つの導電線(要すると、メインワードライン)を割り当てることにより、サブワードラインが選択的に駆動される(図1参照)。

【0004】 n 個のサブワードライン(通常的に、ポリシリコンからなる)に対応するメインワードライン(通常的に、金属線からなる)は、レイアウト側面で見ると、一般的に対応するサブワードライン上に、そして、セルアレイ領域(複数のメモリ領域を具備する)に渡って、全体的に配置される(図1参照)。

【0005】前で、言及した階層的な(或いは分割)ワードライン構造を持つDRAMでバーンイン動作が遂行される場合、一般的にローアドレス信号(row address signals)を基準としてサブワードライン中、偶数番目/奇数番目ラインが交代に活性化されたり、或いは全てのサブワードラインが同時に活性化される。これにより、隣接したサブワードラインの間に電位差が発生するようにして工程欠陥、要すると、ブリッジ性工程欠陥にストレスを加えることにより、ブリッジ性工程欠陥をなくすることができるし、或いは除去されない場合、パッケージ工程以前に、すなわち、ウェーハ状態で不良ダイを判別することができるようになる。

【0006】しかし、従来技術によるバーンインテストの間に、分割或いは階層的なワードライン構造を持つDRAMで n 個のサブワードラインに対応する各メインワードラインは全てが活性化されているので、ブリッジ性工程欠陥が発生する可能性が高いメインワードラインにストレスを加えることができない。すなわち、全てのメインワードラインがバーンインテスト動作の間に同一な電位レベルを持つので、メインワードラインの間に電位差が形成されない。

【0007】

【発明が解決しようとする課題】従って、本発明の目的はメインワードラインとサブワードラインで分割されたワードライン構造でバーンインテスト動作にメインワードラインの間に電位差が発生させることにより、メイン

ワードラインにストレスを加えることができるバーンイン制御回路を具備した半導体メモリ装置を提供することである。

【0008】本発明の他の目的は信頼性を向上させることができるバーンイン制御回路を持つ半導体メモリ装置を提供することである。

【0009】

【課題を解決するための手段】上述したような目的を達成するための本発明の一つの特徴によると、ローとカラムのマトリックスで配列されたメモリセルを具備したセルアレイと、ローに各々対応する複数の第1ワードラインと、ロー方向に伸張する複数の第2ワードラインと、第2ワードラインと第1ワードラインの比は $1:n$ (ここで、 n は少なくとも1より大きい定数)であり、正常動作の間に第2ワードライン中、外部アドレス信号に対応する一つのワードラインを選び、そして、選ばれたワードラインに対応する第1ワードライン中、一つのワードラインを選択するためのデコーダと、バーンイン動作の間に外部アドレス信号中、少なくとも2ビットのアドレス信号を受け入れ、第1及び第2制御信号を発生する手段及び、バーンイン動作の間に第1及び第2制御信号に応じて第2ワードラインが選択的にアドレッシングされるように決定する外部アドレス信号中、一つの対応する一对の第1ローアドレス信号を発生し、そして、バーンイン動作を知らせる信号に応じて余りの外部アドレス信号に対応し、各々対からなる第2ローアドレス信号を発生する手段を含み、バーンイン動作の間にデコーダは活性化された第2ローアドレス信号を受け入れ、そして、一对の第1ローアドレス信号に応じて隣接した第2ワードラインの間に電位差が発生するように第2ワードラインを選択的に活性化させる。

【0010】この態様において、各メモリセルは一つの貯蔵キャパシターと一つのスイッチトランジスターを含む。

【0011】この態様において、第1及び第2ローアドレス信号を発生する手段は、正常動作の間に第1ローアドレス信号に対応する外部アドレス信号を受け入れるための第1アドレスバッファ及び、各第2ローアドレス信号に対応する外部アドレス信号を各々受け入れるための第2アドレスバッファを含む。

【0012】この態様において、第1アドレスバッファは、バーンイン動作の間に、第1及び第2制御信号に応じて一对の第1ローアドレス信号を発生してデコーダに提供する。

【0013】この態様において、第2アドレスバッファは、バーンイン動作の間に、バーンイン動作を知らせる信号に応じて第2ローアドレス信号を活性化させる。

【0014】本発明の他の特徴によると、ローとカラムのマトリックスで配列され、各々が一つの貯蔵キャパシターと一つのスイッチトランジスターを具備したメモリ

セルのアレイと、ロー方向に伸張する複数のメインワードラインと、ローに各々対応する複数のサブワードラインと、メインワードラインとサブワードラインの比は1:n(ここで、nは少なくとも1より大きな定数)であり、バーンイン動作を知らせる信号及びメインワードラインをアドレッシングするための外部アドレス信号中、少なくとも2ビットの外部アドレス信号に応じて第1及び第2制御信号を発生する手段と、外部アドレス信号を各々受け入れるためのアドレスバッファと、バーンイン動作の間にアドレスバッファ中、一つは第1及び第2制御信号に応じてメインワードラインが選択的にアドレッシングされるように決定する一対の第1ローアドレス信号を発生し、そして、余りのアドレスバッファはバーンイン動作を知らせる信号に応じて、各々対からなる第2ローアドレス信号を各々活性化させ、バーンイン動作の間に活性化された第2ローアドレス信号を受け入れ、そして、一対の第1ローアドレス信号に応じて第2ワードライン中、隣接したラインの間に電位差が発生されるように第2ワードラインを選択的に活性化させるデコーダを含む。

【0015】この態様において、デコーダは第2ローアドレス信号中、少なくとも2ビットの信号に応じて選択された第2ワードラインに対応するサブワードラインを全て或いは隣接したサブワードラインの間に電位差が発生するように選択的に活性化させる。

【0016】このような装置により、バーンインテスト動作の間にメインワードラインにストレスを加えるようにメインワードラインが選択的に要すると奇数番目/偶数番目ラインが交代に活性化される。

【0017】

【発明の実施の形態】以下、本発明の実施形態による参照図面の図1ないし図5を参照しつつ詳細に説明する。

【0018】図1を参照すると、本発明の新規な半導体メモリ装置はバーンイン制御回路140を提供し、バーンイン制御回路140はバーンインテスト動作の間にバーンイン動作を知らせる信号(ΦWBE)及びアドレス信号A2及びA3に応じてメインワードラインMWLiをアドレッシングするためのローアドレス信号中、最下位ビットを制御するための制御信号 $\Phi NWE0$ 及び $\Phi NWE1$ を発生する。そして、信号に制御される第1アドレスバッファ162はそのレベルにより偶数番目/奇数番目メインワードラインを選択するためのローアドレス信号を発生する。これで、バーンインテスト動作の間にメインワードラインが選択的に活性化される。すなわち、隣接したメインワードラインの間に電位差が形成されるので、バーンインテスト動作の間にストレス効果を極大化することにより、半導体メモリ装置の信頼性を向上することができる。

【0019】再び、図1を参照すると、本発明の好ましい実施形態によるDRAM装置の概略的な構成を示すブ

ロック図である。本発明のDRAM装置はメモリセルアレイ(memory cell array)100を含み、メモリセルアレイ100はメインワードライン(main word lines:MWLi)(ここで、 $i=0-127$)、サブワードライン(sub-word lines:SWLj)(ここで、 $j=0-511$)を具備する。メモリセルアレイ100が複数のメモリセルブロック(memory cell blocks)から構成されることはこの分野の通常の知識を習得した人々によく知られている。便宜上、図1には一つのメモリセルブロックが図示される。ここで、メインワードラインMWLiとサブワードラインSWLjの比は1:4である。

【0020】メインワードラインMWLiはローデコーダ(row decoder)120に電氣的に連結されている。ローデコーダ120は対からなるローアドレス信号RAm及びRAm(ここで、 $m=0-8$)を受け入れてメインワードラインMWLi中、一つ(要すると、MWL0)を選択して、そして、選択されたワードラインMLW0に対応する四つのサブワードライン(SWL0-SWL3)中、一つを選択するための信号PX0-PX3を発生する。図面には図示されていないが、信号PX0-PX3を伝達するための信号ラインとサブワードラインSWLjが交差する領域にサブワードラインを各々選択するためのサブワードラインデコーダ(sub-word line decoder:SWD)が各々配列される。これで、選択されたメインワードライン(要すると、MWL0)に対応するサブワードラインSWL0-SWL3中、一つが対応するSWDにより選択され、そして、駆動される。

【0021】本発明によるDRAM装置はバーンイン制御回路(burn-in control circuit)140及びアドレスバッファ回路(address buffer circuit)160を含む。バーンイン制御回路140はバーンインテスト動作を知らせる信号 ΦWBE と2ビットの外部アドレス信号(要すると、A2及びA3)を受け入れて制御信号 ΦNWE_n (ここで、 $n=0,1$)を発生する。信号 ΦWBE は正常な動作の間は非活性化され、そして、バーンイン動作の間に活性化されるアクティブハイ信号(active high signal)である。ここで、信号 ΦNWE_n はメインワードラインMWLi中、偶数番目/奇数番目ライン(even-numbered lines or odd-numbered lines)が選択的にアドレッシングするための信号である。

【0022】アドレスバッファ回路160は正常な動作の間に外部からTTLレベルの外部アドレス信号Amを受け入れ、CMOSレベルのローアドレス信号RAm及び $\neg RAm$ をデコーダ120に提供する。回路160はメインワードラインMWLiをアドレッシングするための

ローアドレス（要すると、RA2～RA8）中、最下位ビットに対応するアドレス信号A2を受け入れるための第1アドレスバッファ162とサブワードラインSWLjをアドレッシングするためのアドレス信号（A0及びA1）及び余りのアドレス信号（A3～A8）を受け入れるための第2アドレスバッファ164で分類される。

【0023】正常的な動作の間に外部から印加されるアドレス信号Amをラッチさせるためのローアドレスラッチ信号（row address latch signal：RAL）により第1及び第2アドレスバッファ162及び164は対応するアドレス信号Amを各々受け入れる。しかし、バーンインテスト動作の間に外部アドレス信号Amは、非活性化されるローアドレスラッチ信号RALにより、対応するバッファに印加されない。これに反して、バーンインテスト動作の間に第1アドレスバッファ162はバーンイン制御回路140から提供される制御信号ΦNWE_nに応じて一对のローアドレス信号RA2及びRA2Bを発生する。

【0024】そして、第2アドレスバッファ164はバーンイン制御回路140に提供されるバーンインテスト動作を知らせる信号WBEに応じて対からなる余りのローアドレス信号RA0及び－RA0、RA1及び－RA1、RA3及び－RA3～RA8及び－RA8をハイレ

ベルに活性化させる。これで、バーンインテスト動作の間に、デコーダ120は活性化されたローアドレス信号RA0及び－RA0、RA1及び－RA1、RA3及び－RA3～RA8及び－RA8を受け入れ、そして、一对のローアドレス信号RA2及び－RA2に応じて隣接したメインワードラインの間に電位差が発生するようにメインワードラインMWiを選択的に活性化させる。結局、選択的に、すなわち、偶数番目／奇数番目ラインが交代に活性化されるので、メインワードラインMWLiにストレスが加えることができる。

【0025】図2を参照すると、本発明の好ましい実施形態によるバーンイン制御回路を示す回路図が図示されている。バーンイン制御回路140はバーンインテスト動作の間に信号ΦWBEとアドレス信号A2及びA3を受け入れて制御信号ΦNWE0及びΦNWE1を発生し、五つのインバーター回路10、16、18、20及び22と二つのNORゲート12及び14からなっている。信号ΦWBE及びアドレス信号A2及びA3のレベルによる制御信号ΦNWE0及びΦNWE1のレベルを表1に示す。

【0026】

【表1】

WBE	A2	A3	ΦNWE0	ΦNWE1
L	X	X	L	L
H	L	L	H	H
H	L	H	H	L
H	H	L	L	H
X：DON'T CARE, H：ハイレベル、L：ローレベル				

【0027】そして、表1から分かるように、バーンイン制御回路140は正常的な動作の間にローレベルに非活性化されるバーンインテスト動作を知らせる信号ΦNWE0及びΦNWE1をローレベルに維持する。

【0028】図3は図1の第1の第1アドレスバッファを示す回路図であり、図4は図1の第2アドレスバッファを示す回路図である。

【0029】再び図3を参照すると、信号ΦRAEはアドレスバッファを活性化させるための信号であり、チップのマスタークロック信号に同期する。バーンインテストの動作する時、チップマスタークロック信号が非活性化状態に維持されることにより、信号ΦRAEはロー状態に非活性化される。信号ΦRALはアドレス信号をラッチするための信号として、信号ΦRAEと同一な位相を持つ。すなわち、バーンインテスト動作の間にローレベルに非活性化される。そして、信号ΦRARはローアドレス信号を初期化させるための信号として、対応するアドレスバッファの出力を各々ローレベルに初期化させるための信号である。

【0030】第1アドレスバッファ162は正常な動作

の間にTTLレベルの外部アドレス信号A2を受け入れ、CMOSレベルの対からなるローアドレス信号RA2及び－RA2を出力する。そして、バーンインテスト動作の間に非活性化される信号ΦRAE及びΦRALにより外部アドレス信号が印加されない。反面、図2のバーンインテスト回路140から提供される制御信号ΦNWE0及びΦNWE1のレベルによりローアドレス信号RA2及び－RA2を発生する。

【0031】まとめると、制御信号ΦNWE0がハイレベルであり、制御信号ΦNWE1がローレベルである時、トランジスタ34はオンされ、トランジスタ32はオフされる。その結果、インバーター36及び38を通じてローアドレス信号RA2及び－RA2は各々ローレベルとハイレベルになる。制御信号ΦNWE0及びΦNWE1の他の場合も前で述べた方法と同一なので、ここでこれに対する説明は省略する。ここで、ゲート24及び26は各々PMOSTランジスタ25及び29を含み、各トランジスタ25及び29は対応する制御信号ΦNWE0及びΦNWE1がハイレベルである時、対応するトランジスタ32及び34で形成されるDC

電流パス (current path) を遮断するため、各 NAND ゲート 27 及び 31 に提供される。

【0032】再び、図4を参照すると、アドレス信号 A0、A1 及び A3-A8 に対応するアドレスバッファは全て同一の回路構成を持つので、一つのアドレスバッファのみが図示されている。

【0033】図4のアドレスバッファ164に提供される信号 ΦRAE 、 ΦRAL 及び ΦRAR も図3のそれと同一な特性を持ちながら、正常的な動作をする時、各バッファは図3のそれと同一に動作する。

【0034】但し、図3のアドレスバッファと異なるのはアドレスバッファ164がバーンインテスト動作を知らせる信号 ΦWBE に応じてバーンインテスト動作の間に対応する対からなるローアドレス信号を全て活性化させることである。すなわち、バーンインテスト動作の間にローレベルの信号 ΦRAR により NAND ゲート 40 及び 42 は他の入力信号のレベルに関係なく、ハイレベルを出力する。これと同時に、信号 ΦWBE はハイレベルに印加されるので、インバータ回路 46 及び 48 はインバータ回路 44 を通じてローレベルの信号 ΦWB

E が印加される。従って、NAND ゲート 46 及び 48 は対応するローアドレス信号をハイレベルに設定する。

【0035】図5は本発明のバーンインテストモードによる動作タイミング図である。以下、本発明のバーンインテストモードによる動作が図1ないし図5を参照して詳細に説明される。

【0036】バーンインテスト動作が遂行されると、信号 ΦRAR 及び ΦRAE と信号 $-CE$ は各々ローレベルとハイレベルに維持され、そして、外部からバーンインテスト動作を知らせる信号 WBE がハイレベルに印加される。そして、外部から印加されるアドレス信号 A2 及び A3 のレベルによりメインワードライン MWL_i をアドレッシングするためのローアドレス信号 (A2-A8) 中、最下位ビット LSB に対応するローアドレス信号 (要すると、 RA_2 及び $-RA_2$) を制御するための信号 ΦNWE_0 及び ΦNWE_1 が生成される。これに対する真理値表は表2のようになる。

【0037】

【表2】

	A - MWL	E - MWL	O - MWL
A 2	L	L	H
A 3	L	H	L
ΦNWE_0	H	H	L
ΦNWE_1	H	L	H
*A-MWL: 全てのメインワードラインが選択される時 *E-MWL: 偶数番目メインワードラインが選択される時 *O-MWL: 奇数番目メインワードラインが選択される時			

【0038】メインワードライン MWL_i 中、偶数番目メインワードライン MWL_0 、 MWL_2 、 MWL_4 、…、 MWL_{126} が選択される動作が説明される。表2から分かるように、偶数番目メインワードラインを選択するためにアドレス信号 A2 及び A3 は各々ローレベルとハイレベルに印加されなければならない。これにより、図2のバーンイン制御回路140は信号 ΦWBE がハイレベルに維持される間に各々ハイレベルとローレベルの制御信号 ΦNWE_0 及び ΦNWE_1 を発生する。

【0039】続いて、制御信号 ΦNWE_0 及び ΦNWE_1 が印加される第1アドレスバッファ162はローレベルのローアドレス信号 ΦWBE が印加される第2アドレスバッファ164は全てハイレベルに活性化されたローアドレス信号及びその相補ローアドレス信号を発生する。これにより、第1及び第2アドレスバッファ162及び164からローアドレス信号が入力されるデコーダ120は、図5に図示されるように、偶数番目メインワードラインをハイレベルに、そして、奇数番目メインワードラインをローレベルに選択的に駆動する。結果的

に、隣接したメインワードライン (要すると、偶数番目メインワードラインと奇数番目メインワードライン) の間に電位差が形成される。すなわち、バーンインテスト動作の間にメインワードラインに対するストレス効果を従来のそれに比べて極大化することができる。

【0040】本実施形態で選択されるメインワードラインに対応するサブワードラインを選択するためのローアドレス信号 RA_0 、 $-RA_0$ 及び RA_1 、 $-RA_1$ は、信号 ΦWBE により第2アドレスバッファ164から自動的にハイレベルに発生されるので、選択されたメインワードラインに対応する全てのサブワードラインが活性化される。しかし、内部的なコーディングによりサブワードラインもいろいろにコーディングできることはこの分野の通常の知識を習得した人々に自明である。そして、奇数番目メインワードライン及び全てのメインワードラインが選択される動作は、表2の条件によると、前で説明された偶数番目メインワードラインのそれと同一なので、便宜上それに対する説明は省略する。

【0041】

【発明の効果】前記したように、バーンインテスト動作する時、内部的にメインワードラインをアドレッシングするためのローアドレス信号を制御することにより、選択的にメインワードラインを活性化させることができる。これにより、バーンインテスト動作の間にメインワードラインに十分なストレスを加えることができ、その結果、半導体メモリ装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の好ましい実施形態によるバーンイン制御回路を具備した半導体メモリ装置の構成を示すブロック図である。

【図 2】 本発明の好ましい実施形態による図 1 のバーンイン制御回路を示す回路図である。

【図 3】 本発明の好ましい実施形態による図 1 の第 1 アドレスバッファ回路を示す回路図である。

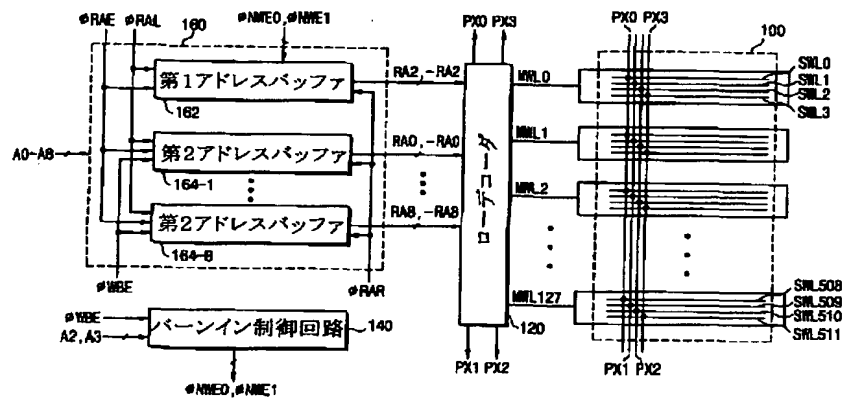
【図 4】 本発明の好ましい実施形態による図 1 の第 2 アドレスバッファ回路を示す回路図である。

【図 5】 本発明のバーンイン動作モードによる信号のタイミングを示す図面である。

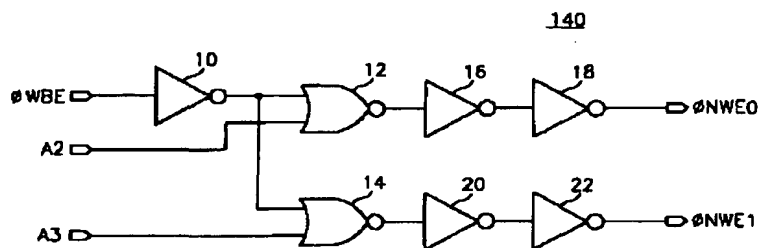
【符号の説明】

100：メモリセルアレイ
120：ローデコーダ
140：バーンイン制御回路
160：アドレスバッファ回路
162：第 1 アドレスバッファ
164：第 2 アドレスバッファ

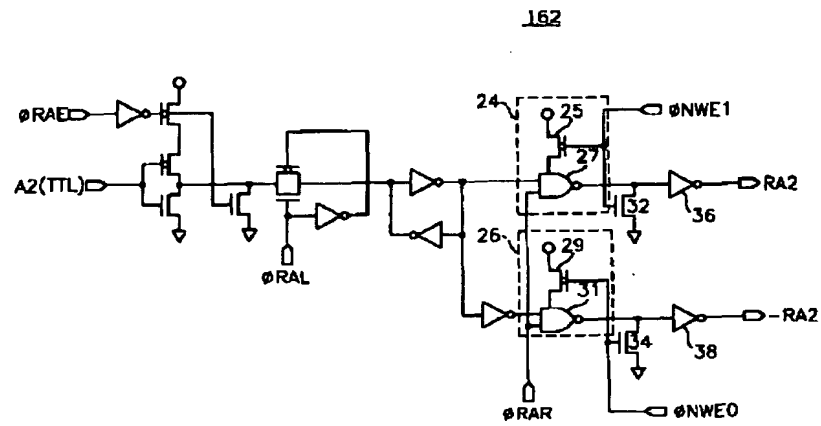
【図 1】



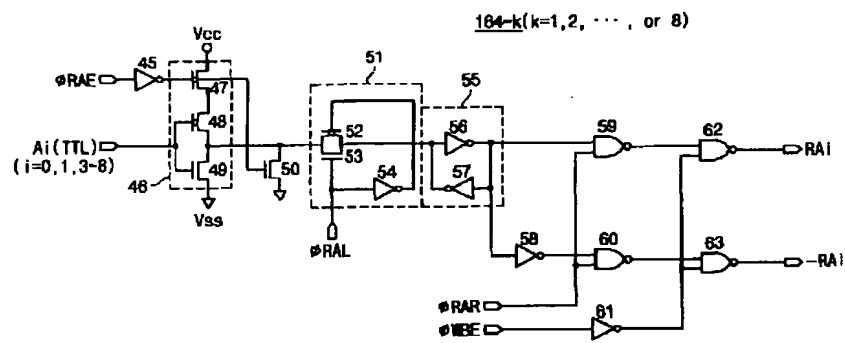
【図 2】



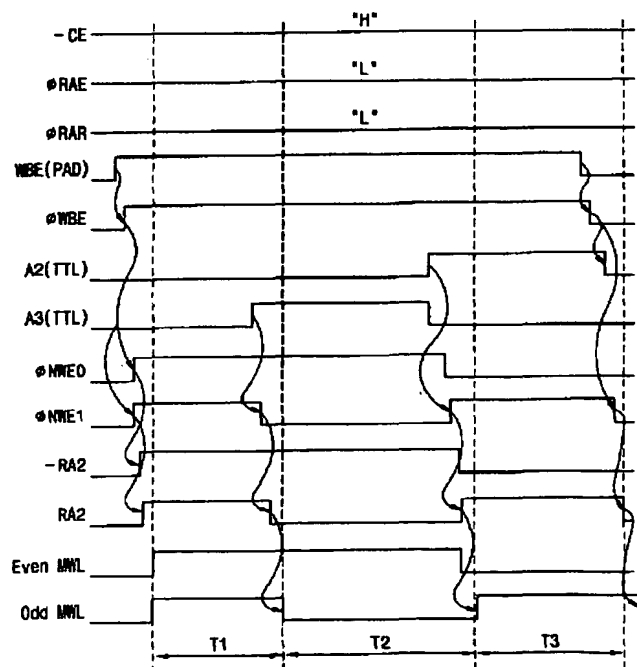
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 柳 炳日

大韓民国ソウル市江南區大治洞（番地なし）美導エービーティ 103-105